

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 G09G 3/30, H05B 33/08, 33/26, H01L 33/00</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/36406  (43) 国際公開日 1998年8月20日(20.08.98)</p>
<p>(21) 国際出願番号 PCT/JP98/00655 (22) 国際出願日 1998年2月17日(17.02.98) (30) 優先権データ 特願平9/32474 1997年2月17日(17.02.97) JP 特願平9/66046 1997年3月19日(19.03.97) JP  (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 木村 睦(KIMURA, Mutsumi)[JP/JP] 伊藤友幸(ITOH, Tomoyuki)[JP/JP] 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒163-0811 東京都新宿区西新宿二丁目4番1号 セイコーエプソン株式会社内 Tokyo, (JP)</p>		<p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).  添付公開書類 国際調査報告書</p>
<p>(54)Title: CURRENT-DRIVEN EMISSIVE DISPLAY DEVICE AND METHOD FOR MANUFACTURING THE SAME (54)発明の名称 電流駆動型発光表示装置及びその製造方法</p> <div data-bbox="219 1234 1284 1646" data-label="Diagram"> </div> <p>(57) Abstract In a thin film transistor-driven organic EL display element, at least one of thin film transistors or a second thin film transistor is formed of a p-channel thin film transistor so as to suppress deterioration with time of the thin film transistors. The p-channel thin film transistor and the thin film transistor in the built-in driving circuit are formed in the same process.</p>		

(57) 要約

薄膜トランジスタ駆動有機EL表示素子において、薄膜トランジスタの経時劣化を抑制するために、薄膜トランジスタのうち少なくともひとつ、または、第2薄膜トランジスタを、pチャネル型薄膜トランジスタで形成する。pチャネル型薄膜トランジスタは、内蔵駆動回路内の薄膜トランジスタと、同一の工程により形成される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード (参考情報)

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LU	ルクセンブルグ	SZ	スワジランド
AT	オーストリア	GA	ガボン	LV	ラトヴィア	TD	チャード
AU	オーストラリア	GB	英国	MC	モナコ	TG	トーゴ
AZ	アゼルバイジャン	GE	グルジア	MD	モルドヴァ	TJ	タジキスタン
BA	ボスニア・ヘルツェゴビナ	GH	ガーナ	MG	マダガスカル	TM	トルクメニスタン
BB	バルバドス	GN	ガンビア	MK	マケドニア旧ユーゴス ラヴィア共和国	TR	トルコ
BE	ベルギー	GM	ギニア			TT	トリニダード・トバゴ
BF	ブルキナ・ファソ	GW	ギニア・ビサウ	ML	マリ	UA	ウクライナ
BG	ブルガリア	GR	ギリシャ	MN	モンゴル	UG	ウガンダ
BJ	ベナン	HU	ハンガリー	MR	モーリタニア	US	米国
BR	ブラジル	ID	インドネシア	MW	マラウイ	UZ	ウズベキスタン
BY	ベラルーシ	IE	アイルランド	MX	メキシコ	VN	ヴェトナム
CA	カナダ	IL	イスラエル	NE	ニジェール	YU	ユーゴスラヴィア
CF	中央アフリカ コンゴ共和国	IS	アイスランド	NL	オランダ	ZW	ジンバブエ
CG	コンゴ共和国	IT	イタリア	NO	ノルウェー		
CH	スイス	JP	日本	NZ	ニュージーランド		
CI	コートジボアール	KE	ケニア	PL	ポーランド		
CM	カメルーン	KG	キルギス	PT	ポルトガル		
CN	中国	KR	韓国	RO	ルーマニア		
CU	キューバ	KZ	カザフスタン	RU	ロシア		
CY	キプロス	LC	セント・ルシア	SD	スーダン		
CZ	チェコ	LI	リヒテンシュタイン	SE	スウェーデン		
DE	ドイツ	LK	スリランカ	SG	シンガポール		
DK	デンマーク	LR	リベリア	SI	スロベニア		
EE	エストニア	LS	レソト	SK	スロヴァキア		
ES	スペイン			SL	シエラ・レオネ		

## 明細書

## 電流駆動型発光表示装置及びその製造方法

## 〔技術分野〕

本発明は、薄膜トランジスタを用いて有機エレクトロルミネッセンス（以下、ELという）表示素子等の電流発光素子を駆動する表示装置に関する。特に、経時劣化の抑制を実現する薄膜トランジスタ駆動の電流駆動型発光表示装置及びその製造方法に関する。

## 〔背景技術〕

本願発明の発明者は、薄膜トランジスタ駆動有機EL表示素子について精査した。その結果次のことがわかった。

（１）薄膜トランジスタ駆動有機EL表示素子においては、有機EL表示素子が直流電流素子であるため、これを制御するために直列に挿入される薄膜トランジスタにも直流電流が流れる。

（２）薄膜トランジスタは、nチャネル型とpチャネル型に分類される。nチャネル型とpチャネル型とは、経時劣化の様相が極めて異なる。

そこで、本発明の目的は、薄膜トランジスタにより駆動される電流発光素子において、薄膜トランジスタの経時劣化を抑制することである。

## 〔発明の開示〕

（１）請求項１記載の本発明は、複数の走査線および複数のデータ線が形成され、走査線とデータ線との各交点に対応して、薄膜トランジスタおよび電流発光素子が形成された電流駆動型発光表示装置において、

薄膜トランジスタのうち少なくともひとつはpチャネル型薄膜トランジスタであることを特徴とする。

請求項１記載によれば、薄膜トランジスタの経時劣化を抑制することができる。

（２）請求項２記載の本発明は、複数の走査線、複数のデータ線、共通電極お

よび対向電極が形成され、走査線とデータ線との各交点に対応して、第1薄膜トランジスタ、第2薄膜トランジスタ、保持容量、画素電極および電流発光素子が形成され、前記第1薄膜トランジスタは、走査線の電位により、データ線と保持容量との導通を制御し、前記第2薄膜トランジスタは、保持容量の電位により、共通電極と画素電極との導通を制御することにより、画素電極と対向電極間にある前記電流発光素子を流れる電流を制御する電流駆動型発光表示装置において、

第2薄膜トランジスタはpチャネル型薄膜トランジスタであることを特徴とする電流駆動型発光表示装置である。

(3) 請求項3記載の本発明は、請求項1または請求項2に記載され、基板上に前記複数の走査線と、前記複数のデータ線と、前記薄膜トランジスタと前記電流発光素子とともに、前記発光素子を駆動するための駆動回路を形成されてなり、前記pチャネル型薄膜トランジスタは、前記駆動回路内の薄膜トランジスタと、同一の工程により形成されていることを特徴とする電流駆動型発光表示装置である。

(4) 請求項1から請求項3のいずれか一項記載の電流駆動型発光表示装置において、前記薄膜トランジスタはポリシリコン薄膜トランジスタからなることを特徴とする。

(5) 請求項5記載の本発明は、請求項3記載の電流駆動型発光表示装置からなり、前記駆動回路は相補型薄膜トランジスタからなり、前記第1薄膜トランジスタと前記駆動回路内のNチャネル型薄膜トランジスタとは同一工程により形成されてなり、前記第2薄膜トランジスタと前記駆動回路内のpチャネル型薄膜トランジスタとは同一工程により形成されてなることを特徴とする。

請求項5によれば、製造工程を増やすことなく、経時劣化のない高性能な電流駆動型波高表示装置を提供することができる。

#### [図面の簡単な説明]

図1は本発明を適用した表示装置の基本的な構成を示すブロック図である。

図2は本発明の実施例1に係る薄膜トランジスタを備えた表示素子の等価回路図である。

図3は本発明の実施例1に係る薄膜トランジスタを備えた表示素子の駆動電圧図である。

図4は本発明の実施例1に係るカレント薄膜トランジスタの電流電圧特性図である。

図5は本発明の実施例1に係る有機EL表示素子の電流電圧特性図である。

図6は(a)本発明の実施例1に係る薄膜トランジスタを備えた有機EL表示素子の断面図であり、(b)本発明の実施例1に係る薄膜トランジスタを備えた有機EL表示素子の平面図である。

図7は本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示素子の等価回路図である。

図8は本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示素子の駆動電圧図である。

図9は本発明の実施例2に係るカレント薄膜トランジスタの電流電圧特性図である。

図10は本発明の実施例2に係る有機EL表示素子の電流電圧特性図である。

図11は(a)本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示素子の断面図であり、(b)本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示素子の平面図である。

図12はnチャネル型薄膜トランジスタの経時劣化を示す図である。

図13はpチャネル型薄膜トランジスタの経劣化を示す図である。

図14は本発明に係わる薄膜トランジスタ駆動の有機EL表示素子の製造工程図である。

〔符号の説明〕

- 111 走査線
- 112 データ線
- 113 共通線
- 114 保持電極
- 115 A1で形成された画素電極
- 116 ITOで形成された対向電極

- 1 2 1 スイッチング薄膜トランジスタ
- 1 2 2 nチャネル型カレント薄膜トランジスタ
- 1 2 3 保持容量
- 1 3 1 正置有機EL表示素子
- 1 3 2 正孔注入層
- 1 3 3 有機EL層
- 1 4 1 電流発光素子の電流の向き
- 1 5 1 レジスト
- 2 1 1 走査電位
- 2 1 2 信号電位
- 2 1 3 保持電位
- 2 1 4 共通電位
- 2 1 5 画素電位
- 2 1 6 対向電位
- 2 2 1 画素が表示状態となる期間
- 2 2 2 画素が非表示状態となる期間
- 3 1 ドレイン電圧4Vのときの、nチャネル型カレント薄膜トランジスタの  
電流電圧特性
- 3 2 ドレイン電圧8Vのときの、nチャネル型カレント薄膜トランジスタの  
電流電圧特性
- 4 正置有機EL表示素子の電流電圧特性
- 6 1 1 走査線
- 6 1 2 データ線
- 6 1 3 共通線
- 6 1 4 保持電極
- 6 1 5 ITOで形成された画素電極
- 6 1 6 Alで形成された対向電極
- 6 2 1 スイッチング薄膜トランジスタ
- 6 2 2 pチャネル型カレント薄膜トランジスタ

6 2 3 保持容量

6 3 1 逆置有機EL表示素子

6 3 2 正孔注入層

6 3 3 有機EL層

6 4 1 電流発光素子の電流の向き

6 5 1 レジスト

7 1 1 走査電位

7 1 2 信号電位

7 1 3 保持電位

7 1 4 共通電位

7 1 5 画素電位

7 1 6 対向電位

7 2 1 画素が表示状態となる期間

7 2 2 画素が非表示状態となる期間

8 1 ドレイン電圧4Vのときの、pチャネル型カレント薄膜トランジスタの  
電流電圧特性

8 2 ドレイン電圧8Vのときの、pチャネル型カレント薄膜トランジスタの  
電流電圧特性

9 逆置有機EL表示素子の電流電圧特性

5 1 1 電圧印加前の $V_d = 4V$ におけるnチャネル型薄膜トランジスタの伝  
達特性

5 1 2 電圧印加前の $V_d = 8V$ におけるnチャネル型薄膜トランジスタの伝  
達特性

5 2 1 電圧印加後の $V_d = 4V$ におけるnチャネル型薄膜トランジスタの伝  
達特性

5 2 2 電圧印加後の $V_d = 8V$ におけるnチャネル型薄膜トランジスタの伝  
達特性

8 1 1 電圧印加前の $V_d = 4V$ におけるpチャネル型薄膜トランジスタの伝  
達特性



8 1 2 電圧印加前の  $V_d = 8\text{ V}$  における p チャネル型薄膜トランジスタの伝達特性

8 2 1 電圧印加後の  $V_d = 4\text{ V}$  における p チャネル型薄膜トランジスタの伝達特性

8 2 2 電圧印加後の  $V_d = 8\text{ V}$  における p チャネル型薄膜トランジスタの伝達特性

[発明を実施するための最良の形態]

(有機 EL 表示素子の全体構造)

以下、本発明の好ましい実施の形態を、図面に基づいて説明する。

図 1 に示されるように、基板 1 上の中央部分が表示部とされている。透明基板 1 の外周部部のうち、図面に向かって上側には、データ線 1 1 2 に対して画像信号を出力するデータ側駆動回路 3 が構成され、図面に向かって左側には、走査線 1 1 1 に対して走査信号を出力する走査側駆動回路 4 が構成されている。これらの駆動回路 3、4 では N 型の薄膜トランジスタと P 型の薄膜トランジスタとによって相補型 TFT が構成され、この相補型薄膜トランジスタは、シフトレジスタ回路、レベルシフト回路、アナログスイッチ回路などが構成されている。

透明基板 1 上に、複数の走査線 1 1 1 と該走査線 1 1 1 の延設方向に対して交差する方向に延設された複数のデータ線 1 1 2 とが構成され、これらのデータ線 1 1 2 と走査線 1 1 1 との交差によりマトリクス状に画素 7 が構成される。

これらの画素 7 は、走査線 1 1 1 を介して走査信号がゲート電極 2 1 (第 1 のゲート電極) に供給される第 1 薄膜トランジスタ (以下、スイッチング薄膜トランジスタと称す。) 1 2 1 が構成されている。このスイッチング薄膜トランジスタ 1 2 1 のソース・ドレイン領域の一方は、データ線 1 1 2 に電氣的に接続され、他方のソース・ドレイン領域は電位保持 1 1 3 に電氣的に接続されている。また、走査線 1 1 1 に対して共通線 1 1 4 が並列配置され、この共通線 1 1 4 と電位保持電極 1 1 3 との間には保持容量 1 2 3 が形成されている。共通線は定電位に保持されている。従って、走査信号によって選択されてスイッチング薄膜トランジスタ 1 2 1 がオン状態になると、データ線 1 1 2 から画像信号がスイッチング薄

膜トランジスタを介して保持容量123に書き込まれる。

電位保持電極113には第2薄膜トランジスタ（以下、カレント薄膜トランジスタと称す。）122のゲート電極が電氣的に接続し、このカレント薄膜トランジスタ122のソース・ドレイン領域の一方は、共通線114に電氣的に接続する一方、他方のソース・ドレイン領域は発光素子131の一方の電極115に電氣的に接続している。カレント薄膜トランジスタ122がオン状態になった時に、カレント薄膜トランジスタ122を介して共通線114の電流が有機EL表示素子等の発光素子131に流れ、この発光素子131が発光される。尚、本構成では、保持容量の一方の電極は共通線114に接続されているが、共通線114に接続せずに、別に容量線を設けて容量線に接続されるように構成してもよい。さらに、保持容量の一方の電極を隣接するゲート線に接続するように構成してもよい。

（実施例1）

図1は、本発明の実施例1に係る薄膜トランジスタを備えた有機EL表示素子の等価回路図、図2は、本発明の実施例1に係る薄膜トランジスタを備えた有機EL表示素子の駆動電圧図、図3は、本発明の実施例1に係るカレント薄膜トランジスタの電流電圧特性図、図4は、本発明の実施例1に係る有機EL表示素子の電流電圧特性図である。

図1において、111は走査線、112はデータ線、113は保持電極、114は共通線、115はA1で形成された画素電極、116はITOで形成された対向電極、121はスイッチング薄膜トランジスタ、122はnチャネル型カレント薄膜トランジスタ、123は保持容量、131は給電線116から画素電極115に向かって流れる電流により発光する有機EL表示素子（以下、正置有機EL表示素子と称す。）13、141は有機EL表示素子の電流の向きである。

図2において、211は走査電位、212は信号電位、213は保持電位、214は共通電位、215は画素電位、216は対向電位である。尚、図2には各電位関係を説明するために各電位の一部だけが記載されている。走査線111の電位が走査電位211、データ線112の電位が信号電位212、保持電極113の電位が保持電位213、共通線114の電位が共通電位214、A1で形成

された画素電極 115 の電位が画素電位 215、ITO (Indium Tin Oxide) で形成された対向電極 116 の電位が対向電位 216 に対応する。尚、図 2 は、各信号電位を模式的に部分的に記載するものである。

221 は、画素が表示状態となる期間で、正置有機 EL 表示素子 131 に電流が流れて発光し、222 は、画素が非表示状態となる期間で、正置有機 EL 表示素子 131 に電流が流れず発光しない。

図 4 において、31 は、ドレイン電圧 4 V のときの、n チャネル型カレント薄膜トランジスタ 122 の電流電圧特性、32 はドレイン電圧 8 V のときの、n チャネル型カレント薄膜トランジスタ 122 の電流電圧特性である。どちらのドレイン電圧においても、ゲート電圧が低電圧のとき、n チャネル型カレント薄膜トランジスタ 122 はオフ状態となり、小さなドレイン電流が流れ、ソースドレイン間抵抗は高抵抗となり、ゲート電圧が高電圧のとき、n チャネル型カレント薄膜トランジスタ 122 はオン状態となり、大きなドレイン電流が流れ、ソースドレイン間抵抗は低抵抗となることがわかる。

図 5 において、4 は正置有機 EL 表示素子 131 の電流電圧特性である。ここでは、電圧は、画素電位 215 に対する対向電位 216 を表し、電流は、対向電極 116 から画素電極 115 へと流れる電流を表すものとする。正置有機 EL 表示素子 131 は、あるしきい値電圧以下では、オフ状態となり、高抵抗で、電流が流れず、発光しない。しきい値電圧以上では、オン状態となり、低抵抗で、電流が流れ、発光する。ここでは、しきい値電圧は、およそ 2 V である。

本実施例の薄膜トランジスタを備えた有機 EL 表示素子の動作を、図 2、図 3、図 4 および図 5 を用いて説明する。

スイッチング薄膜トランジスタ 121 は、走査線 111 の電位により、データ線 112 と保持電極 113 との導通を制御する。すなわち、走査電位 211 により、信号電位 212 と保持電位 213 との導通を制御する。なお、ここでは、スイッチング薄膜トランジスタ 121 は、n チャネル薄膜トランジスタであるが、p チャネル薄膜トランジスタでもかまわない。

画素が表示状態となる期間 221 に対しては、信号電位 212 が高電位となり、保持電位 213 にはその高電位が保持される。画素が非表示状態となる期間 22

2に対しては、信号電位212が低電位となり、保持電位213にはその低電位が保持される。

nチャネル型カレント薄膜トランジスタ122は、図3に示す特性をもっており、保持電極113の電位により、共通線114と画素電極115との導通を制御する。すなわち、保持電位213により、共通電位214と画素電位222との導通を制御する。画素が表示状態となる期間221に対しては、保持電位213は高電位であるため、共通線114と画素電極115が導通され、画素が非表示状態となる期間222に対しては、保持電位213は低電位であるため、共通線114と画素電極115が切断される。

有機EL表示素子131は、図5に示す特性をもっており、画素が表示状態となる期間221に対しては、画素電極115と対向電極116間に電流が流れ、有機EL表示素子131が発光する。画素が非表示状態となる期間222に対しては、電流が流れず、発光しない。

図6(a)は、本発明の実施例に係る薄膜トランジスタ有機EL表示素子(一画素)の断面図、図6(b)は、本発明の実施例に係る薄膜トランジスタ有機EL表示素子(1画素)の平面図である。図6(a)の断面A-A'は、図6(b)の断面A-A'に対応する。

図5において、132は正孔注入層、133は有機EL層、151はレジストである。

なお、ここでは、スイッチング薄膜トランジスタ121およびnチャネル型カレント薄膜トランジスタ122に関して、薄膜トランジスタ液晶表示素子で用いられている、低温ポリシリコン薄膜トランジスタの構造およびプロセス、すなわち、トップゲート構造および最高温度600度以下のプロセスを使用した、他の構造およびプロセスであってもかまわない。

A1で形成された画素電極115、ITOで形成された対向電極116、正孔注入層132および有機EL層133により、正置有機EL表示素子131が形成されている。この正置有機EL表示素子131では、有機EL表示素子の電流の向き141を、ITOで形成された対向電極116から、A1で形成された画素電極115への向きとすることができる。なお、有機EL表示素子に関して、

ここで用いた構造でなくとも、有機EL表示素子の電流の向き141を、対向電極から画素電極への向きにできるのであれば、他の構造であつてもかまわない。

なお、ここでは、正孔注入層132および有機EL層133は、レジスト151を各画素間の分離構造として用いた、インクジェットプリンティング法によって形成され、ITOで形成された対向電極116は、スパッタ法により形成されるが、他の方法であつてもかまわない。

本実施例では、共通電位214が、対向電位216よりも、低電位である。かつ、カレント薄膜トランジスタがnチャネル型カレント薄膜トランジスタ122である。

画素が表示状態になる期間221において、nチャネル型カレント薄膜トランジスタ122は、オン状態となる。正置有機EL表示素子131を流れる電流、すなわち、nチャネル型カレント薄膜トランジスタ122のオン電流は、図3に示すように、ゲート電圧に依存する。ここで、ゲート電圧とは、保持電位213と、共通電位214と画素電位215との低い方の電位との、電位差である。本実施例によれば、共通電位214が画素電位215よりも低電位となるので、ゲート電圧は、保持電位213と共通電位214との電位差となる。この電位差は、十分大きくとれるので、十分大きなオン電流が得られる。なお、nチャネル型カレント薄膜トランジスタ122のオン電流は、ドレイン電圧にも依存するが、ここでの結論は変わらない。

また、逆に、必要なオン電流を得るために、保持電位213をより低電位にすることが可能となり、信号電位212の振幅、ひいては、走査電位211の振幅を低減することが可能となる。すなわち、スイッチング薄膜トランジスタ121や、nチャネル型カレント薄膜トランジスタ122において、画質の劣化や、動作の異常や、動作可能な周波数の低下を招くことなく、駆動電圧の低減を実現できる。

さらに、本実施例では、表示状態にする画素に対する信号電位212は、対向電位216と比べて低電位である。

上記のように、画素が表示状態になる期間221において、nチャネル型カレント薄膜トランジスタ122のオン電流は、保持電位213と共通電位214と

の電位差に依存し、保持電位 213 と対向電位 216 との電位差には、直接には依存しない。そこで、nチャネル型カレント薄膜トランジスタ 122 において十分大きなオン電流を確保しながら、保持電位 213、すなわち、表示状態にする画素に対する信号電位 212 を、対向電位 216 よりも低電位にすることが可能となり、ひいては、信号電位 212 の振幅や、走査電位 211 の振幅を低減することが可能となる。すなわち、スイッチング薄膜トランジスタ 121 や、nチャネル型カレント薄膜トランジスタ 122 において、画質の劣化や、動作の異常や、動作可能な周波数の低下を招くことなく、駆動電圧の低減を実現できる。

さらに、本実施例では、非表示状態にする画素に対する信号電位 212 は、共通電位 214 と比べて高電位である。

画素が非表示状態になる期間 222 において、信号電位 212 を、共通電位 214 と比べて、わずかに高電位とした場合、nチャネル型カレント薄膜トランジスタ 122 は、完全にオフ状態とはならない。しかし、nチャネル型カレント薄膜トランジスタ 122 のソースドレイン間抵抗は、図 3 に示すように、かなり高抵抗となる。このため、共通電位 214 と対向電位 216 を、nチャネル型カレント薄膜トランジスタ 122 の抵抗値と正置有機 EL 表示素子 131 の抵抗値で、分割することで決定される、画素電位 215 は、対向電位 216 に近い電位となる。

正置有機 EL 表示素子 131 に印加される電圧は、画素電位 215 と対向電位 216 との電位差であるが、図 5 に示すように、あるしきい値電圧以下では、オフ状態となり、電流が流れず、発光しない。すなわち、正置有機 EL 表示素子 131 のしきい値電圧を利用することにより、信号電位 212 が、共通電位 214 と比べて、わずかに高電位であり、nチャネル型カレント薄膜トランジスタ 122 が、完全にオフ状態にならなくとも、正置有機 EL 表示素子 131 を発光させないことが可能である。

ここでは、非表示状態にする画素に対する信号電位 212 を、共通電位 214 と比べて、高電位にすることで、信号電位 212 の振幅、ひいては、走査電位 211 の振幅を低減することが可能となる。すなわち、スイッチング薄膜トランジスタ 121 や、nチャネル型カレント薄膜トランジスタ 122 において、画質の

劣化や、動作の異常や、動作可能な周波数の低下を招くことなく、駆動電圧の低減を実現できる。

なお、本実施例の薄膜トランジスタを備えた有機EL表示素子の動作は、上記のように単純ではなく、より複雑な電圧および電流の関係のもとに動作するが、近似のおよび定性的には上記の説明が成り立つ。

(実施例2)

図7は、本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示素子の等価回路図、図7は、本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示素子の駆動電圧図、図8は、本発明の実施例2に係るカレント薄膜トランジスタの電流電圧特性図、図9は、本発明の実施例2に係る有機EL表示素子の電流電圧特性図である。

図7において、615はITOで形成された画素電極、616はAlで形成された対向電極、622はpチャネル型カレント薄膜トランジスタ、631は(画素電極615から給電線616に流れる電流により発光する有機EL表示素子(以下、逆置有機EL表示素子と称す。))である。641は有機EL表示素子の電流の向きであるが、図1とは方向が逆である。それ以外は、上記の実施例1及び図1と同様である。

図8において、各電位のレベルは、図2とは異なっている。それ以外は、図2と同様である。

図9において、81は、ドレイン電圧4Vのときの、pチャネル型カレント薄膜トランジスタ622の電流電圧特性、82はドレイン電圧8Vのときの、pチャネル型カレント薄膜トランジスタ622の電流電圧特性である。

図10において、9は逆置有機EL表示素子631の電流電圧特性である。

本実施例の薄膜トランジスタを備えた有機EL表示素子の動作は、カレント薄膜トランジスタがpチャネル型薄膜トランジスタ622であることにより、カレント薄膜トランジスタに関連する電位関係が反転していること以外は、実施例1と同様である。

図11(a)は、本発明の実施例に係る薄膜トランジスタを備えた有機EL表示素子(1画素)の断面図、図11(b)は、本発明の実施例2に係る薄膜トラ

ンジスタ有機EL表示素子（1画素）の平面図である。図11（a）の断面A-A'は、図10（b）の断面A-A'に対応する。

図10において、632は正孔注入層、633は有機EL層である。それ以外は、図5と同様である。

ITOで形成された画素電極615、A1で形成された対向電極616、正孔注入層632および有機EL層633により、逆置有機EL表示素子631が形成されている。この逆置有機EL表示素子631では、有機EL表示素子の電流の向き641を、ITOで形成された画素電極615から、A1で形成された対向電極616への向きとすることができる。

本実施例では、共通電位714が、対向電位716よりも、高電位である。かつ、カレント薄膜トランジスタがpチャネル型カレント薄膜トランジスタ622である。

さらに、本実施例では、表示状態にする画素に対する信号電位712は、対向電位716と比べて、高電位である。

さらに、本実施例では、非表示状態にする画素に対する信号電位712は、共通電位714と比べて、低電位である。

本実施例の薄膜トランジスタ有機EL表示素子のすべての効果も、カレント薄膜トランジスタがpチャネル型薄膜トランジスタ622であることにより、カレント薄膜トランジスタに関連する電位関係が反転していること以外は、カレント薄膜トランジスタに関連する電位関係が反転していること以外は、実施例1と同様である。

本実施例では、カレント薄膜トランジスタ122は、pチャネル型薄膜トランジスタである。この構成により、カレント薄膜トランジスタ122の経時劣化を、著しく低減することが可能となる。また、pチャネル型のポリシリコン薄膜トランジスタで構成することにより、カレント薄膜トランジスタ122の経時劣化をさらに低減することが可能となる。

図14は上述の本発明の実施例に係る薄膜トランジスタを備えた電流駆動型発光表示装置の製造工程図である。

まず、図14（a）に示されるように、基板1上にアモルファスシリコン層2



00～600オングストロームを基板全面に形成し、レーザー等のアニールを施すことによりアモルファスシリコンを多結晶化して、多結晶シリコン層を形成する。その後、多結晶シリコン層をパターンニングして、スイッチング薄膜トランジスタ121のソース・ドレイン・チャネル領域となるシリコン薄膜421と、蓄積容量123の第1電極423と、カレント薄膜トランジスタ122のソース・ドレイン・チャネル領域となるシリコン薄膜422を形成する。次に、シリコン薄膜421、422と第1電極423の上にゲート絶縁膜となる絶縁膜424を形成する。次に、第1電極423にリン(P)イオンを選択的に打ち込み、低抵抗化する。次に、図14(b)に示されるように、シリコン薄膜421と422の上にゲート絶縁膜を介してTa<sub>x</sub>N層からなるゲート電極111と111'を形成する。次に、レジストマスク42をカレント薄膜トランジスタとなるシリコン層422の上に形成して、ゲート電極をマスクとしてセルフアラインでリン(P)をイオン打ち込みしてシリコン層421にn型のソース・ドレイン領域を形成する。次に、図14(c)に示されるように、第1シリコン層421及び第1電極上にレジストマスク412'を形成して、シリコン層422にゲート電極111'をマスクとしてセルフアラインでボロン(B)をイオン打ち込みしてシリコン層422にp型のソース・ドレイン領域を形成する。このように、nチャネル型不純物ドーパント411により、スイッチング薄膜トランジスタ121が形成される。このとき、カレント薄膜トランジスタ122は、レジストマスク42に保護されて、nチャネル型不純物ドーパント411は行われぬ。次に、pチャネル型不純物ドーパント412により、カレント薄膜トランジスタ122が形成されるのである。

また、図示しないが、スイッチングトランジスタ121を駆動する駆動回路部のシフトレジスタ、サンプルホールド回路等を構成する薄膜トランジスタを同一基板に形成する場合も上記の工程と同一のプロセスで同時に形成することが可能である。

尚、蓄積容量の第2電極425は、ゲート電極111及び111'と同時に同一材料で形成してもよいし、別の材料で形成してもよい。

次に、図14(d)に示されるように、層間絶縁膜43を形成した後、コンタクトホールを形成した後、アルミニウムやITOからなる電極層426、427、

428及び429を形成する。

次に、層間絶縁膜44を形成して平坦化した後、コンタクトホールを形成して、カレント薄膜トランジスタの一方の電極の接続されるようにITO45を1000～2000オングストローム、好ましくは約1600オングストローム形成する。次に、各画素領域に対して、 $2.0\mu\text{m}$ 以上のバンク層46、47を区画形成する。次に、バンク層46、47で囲われた領域に、インクジェット方式等により有機EL層48を形成する。有機EL48を形成した後に、有機EL層48上に6000～8000オングストロームからなるアルミニウムリチウムを対向電極49として形成する。有機EL48と対向電極49の間に図5に示されるように正孔注入層を設けてもよい。

上述の工程により、高性能な薄膜トランジスタ駆動の有機EL表示素子を形成することが可能となる。また、ポリシリコンはアモルファルシリコンに比べてキャリアの移動度が格段に大きいので高速動作が可能である。

特に、本実施例では、p型のカレント薄膜トランジスタ122とn型のスイッチング薄膜トランジスタ121を形成する際に、駆動回路のシフトレジスタ、サンプルホールド回路等を構成する相補型薄膜トランジスタのp型及びn型の薄膜トランジスタを上記の実施例を用いて同時に形成することが可能である。この構成によれば、カレント薄膜トランジスタ122の経時劣化を低減する構成を得ることが、製造過程の増加なしに実現できる。

上述のように実施例1ではカレント薄膜トランジスタをnチャネル型で、実施例2ではカレント薄膜トランジスタをpチャネル型の構成について記載したが、ここで、pチャネル型とnチャネル型の薄膜トランジスタの経時劣化について検討する。

図12および図13は、同等の電圧印加条件に対する、nチャネル型およびpチャネル型薄膜トランジスタ、特にポリシリコン薄膜トランジスタの経時劣化を示す図である。図12の511、512は電圧印加前の $V_d = 4\text{V}$ 、 $V_d = 8\text{V}$ におけるnチャネル型薄膜トランジスタの伝達特性を示す。また、521、522は $V_g = 0\text{V}$ 、 $V_d = 15\text{V}$ 、1000秒程度の電圧印加後の $V_d = 4\text{V}$ 、 $V_d = 8\text{V}$ におけるnチャネル型薄膜トランジスタの伝達特性を示す。図13の8

1 1、8 1 2は電圧印加前の $V_d = 4\text{ V}$ 、 $V_d = 8\text{ V}$ におけるpチャネル型薄膜トランジスタの伝達特性を示す。また、8 2 1、8 2 2は $V_g = 0\text{ V}$ 、 $V_d = 15\text{ V}$ 、1 0 0 0秒程度の電圧印加後の $V_d = 4\text{ V}$ 、 $V_d = 8\text{ V}$ におけるpチャネル型薄膜トランジスタの伝達特性を示す。明らかに、pチャネル型薄膜トランジスタの方が、オン電流の減少およびオフ電流の増加が、小さいことがわかる。

図1 2及び図1 3に示されるp型とn型の薄膜トランジスタの経時劣化特性の違いを考慮して、スイッチング薄膜トランジスタとカレント薄膜トランジスタの少なくとも一方をpチャネル型薄膜トランジスタ、特にp型のポリシリコン薄膜トランジスタで構成することにより、経時劣化を抑制することができる。さらに、カレント薄膜トランジスタだけではなく、スイッチング薄膜トランジスタもp型薄膜トランジスタで構成することにより、さらに表示素子の特性を維持することが可能となる。

また上述の実施例は、発光素子として有機EL表示素子を用いて説明したが、有機EL表示素子に限らず、無機EL素子あるいはその他の電流駆動型発光素子にも適用可能であることは言うまでもない。

#### 〔産業上の利用分野〕

本発明に係わる表示装置は、有機EL表示素子、無機EL素子等の各種の電流駆動型発光素子とこれを駆動する薄膜トランジスタ等のスイッチング素子とを備えた表示装置として利用可能である。

## 請求の範囲

(1) 複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線とに接続された薄膜トランジスタと、電流発光素子とを有する電流駆動型発光表示装置において、

前記薄膜トランジスタのうち少なくともひとつはpチャネル型薄膜トランジスタであることを特徴とする電流駆動型発光表示装置。

(2) 複数の走査線と、複数のデータ線、共通電極および対向電極が形成され、前記走査線と前記データ線に接続された第1薄膜トランジスタと、第2薄膜トランジスタと、保持容量、画素電極および電流発光素子とを有し、

前記第1薄膜トランジスタは、前記走査線の電位により、前記データ線と前記保持容量との導通を制御し、前記第2薄膜トランジスタは、前記保持容量の電位により、前記共通電極と前記画素電極との導通を制御することにより、前記画素電極と前記対向電極間にある前記電流発光素子を通る電流を制御する電流駆動型発光表示装置において、

前記前記第2薄膜トランジスタはpチャネル型薄膜トランジスタであることを特徴とする電流駆動型発光表示装置。

(3) 請求項1または請求項2に記載の電流駆動型発光表示装置において、基板上に前記複数の走査線と、前記複数のデータ線と、前記薄膜トランジスタと前記電流発光素子とともに、前記電流発光素子を駆動するための駆動回路を形成されてなり、

前記pチャネル型薄膜トランジスタは、前記駆動回路内の薄膜トランジスタと、同一の工程により形成されていることを特徴とする電流駆動型発光表示装置。

(4) 請求項1から請求項3のいずれか一項記載の電流駆動型発光表示装置において、前記薄膜トランジスタはポリシリコン薄膜トランジスタからなることを特徴とする電流駆動型発光表示装置。

(5) 請求項3に記載の電流駆動型発光表示装置からなり、前記駆動回路は相補型薄膜トランジスタからなり、前記第1薄膜トランジスタと前記駆動回路内のNチャネル型薄膜トランジスタとは同一工程により形成されてなり、前記第2薄膜ト

ランジスタと前記駆動回路内の p チャネル型薄膜トランジスタとは同一工程により形成されてなることを特徴とする電流駆動型発光表示装置の製造方法。

圖 1

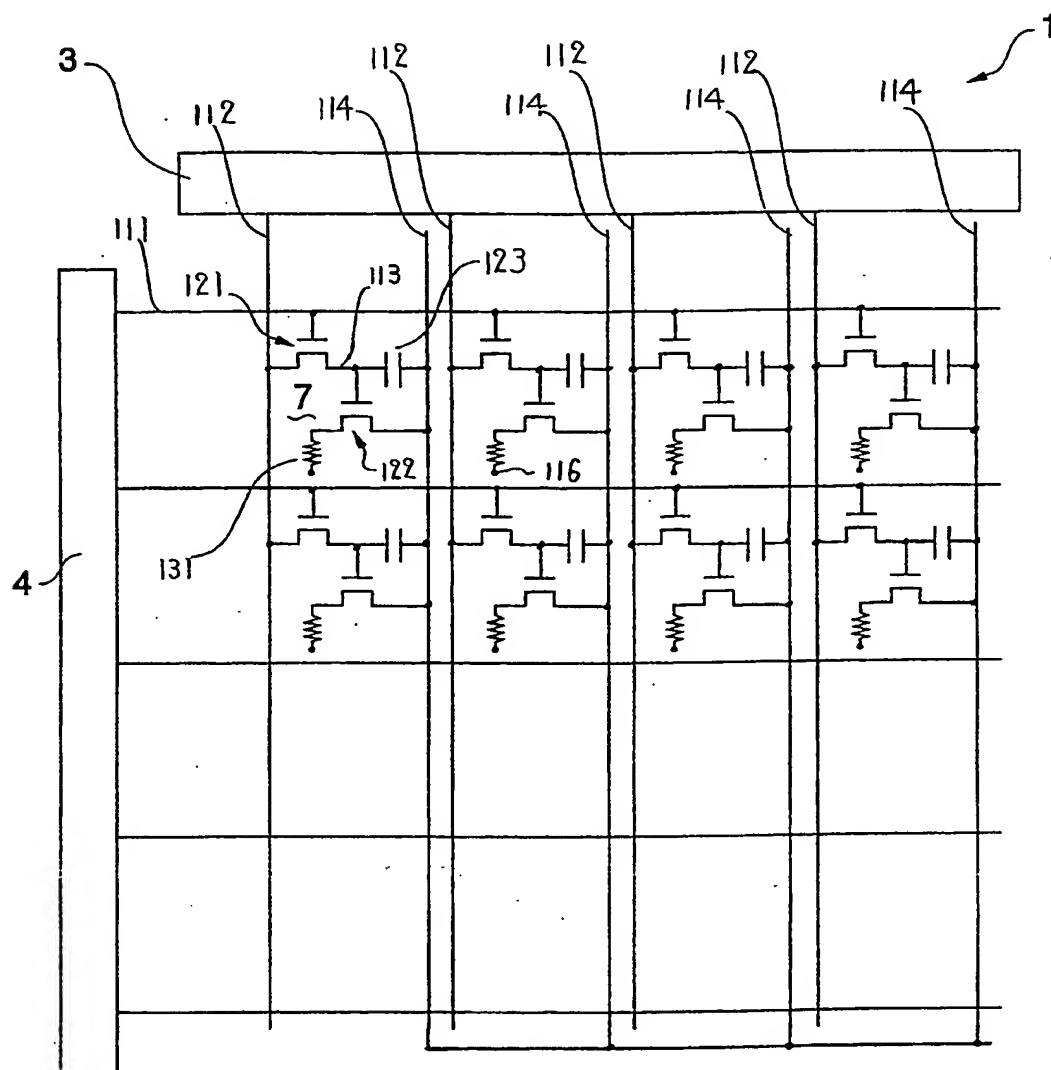


図 2

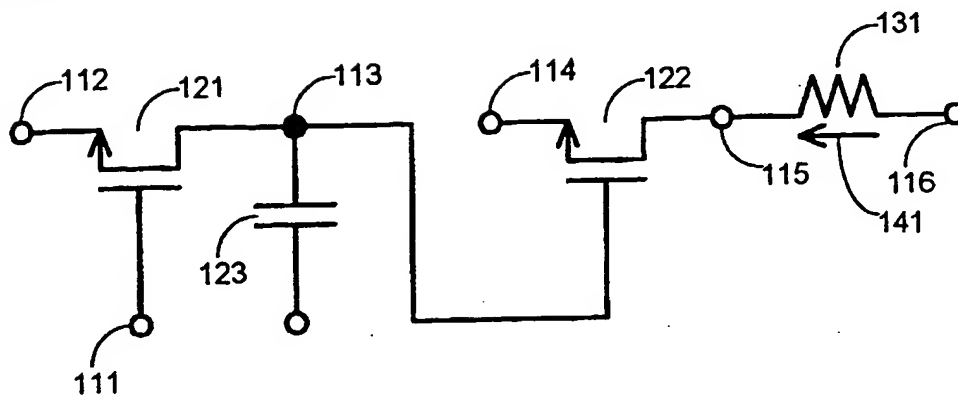


図 3

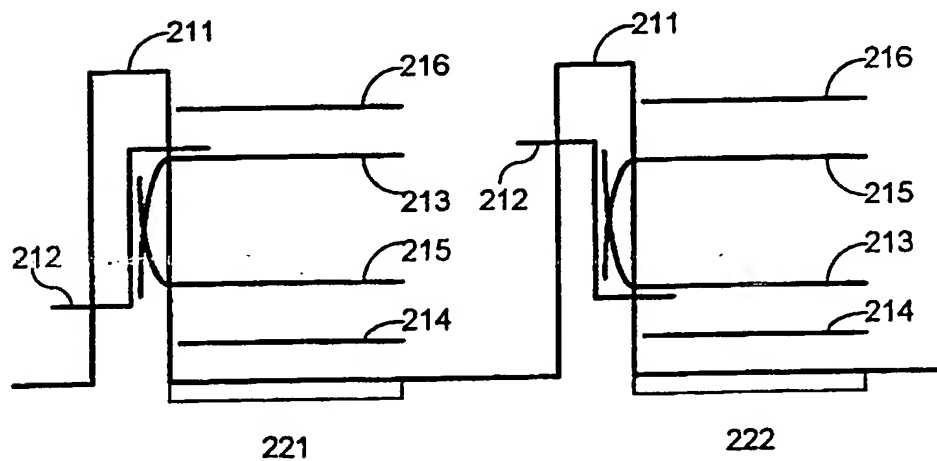


図 4

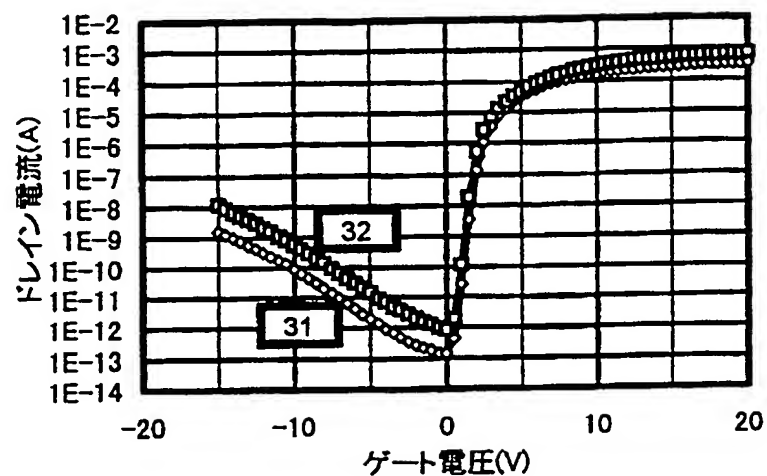
nチャネル型薄膜トランジスタの  
電流電圧特性

図 5

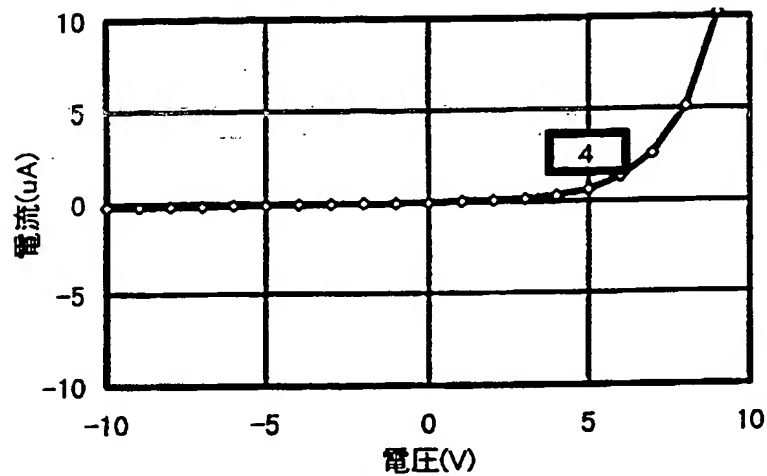
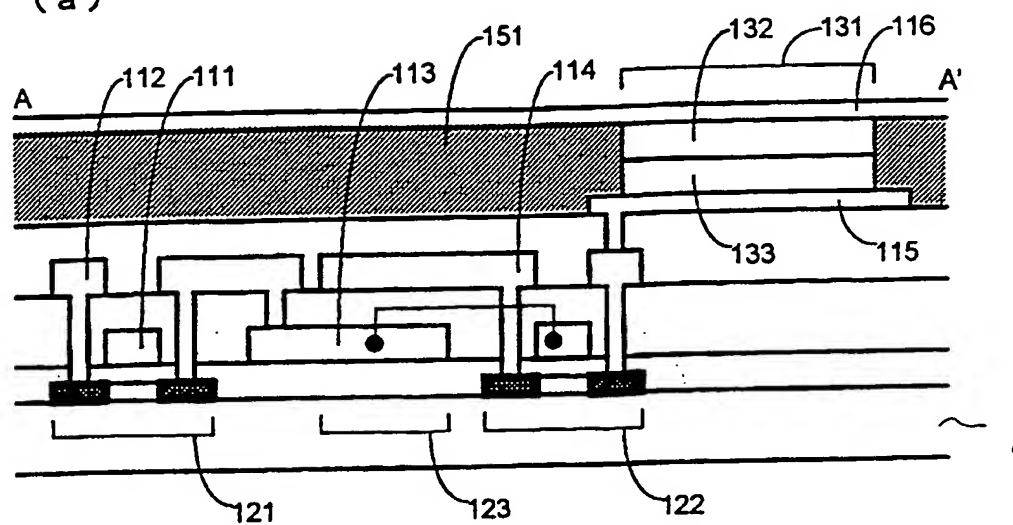
正置有機EL素子の  
電流電圧特性



图 6

(a)



(b)

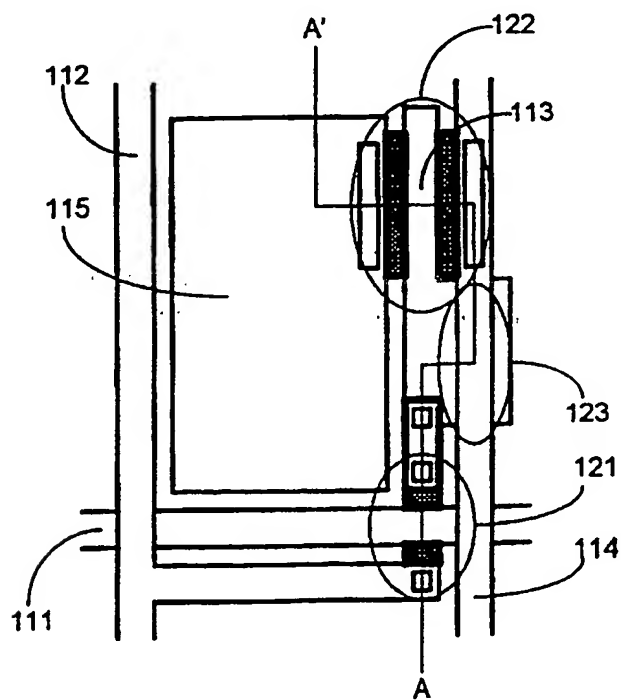


図 7

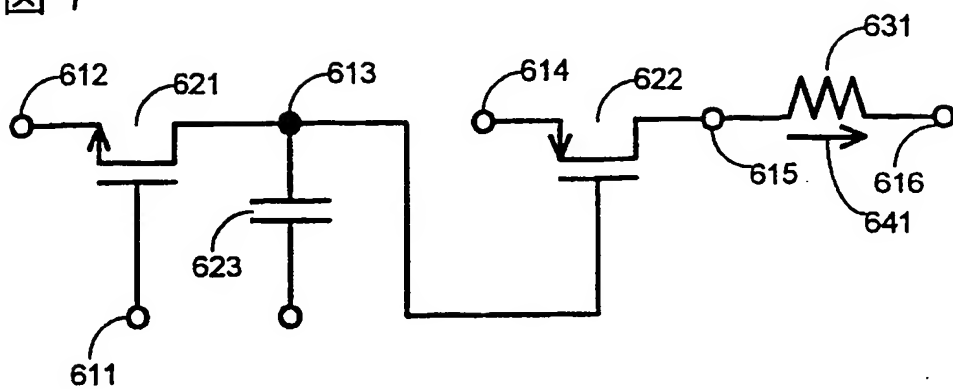


図 8

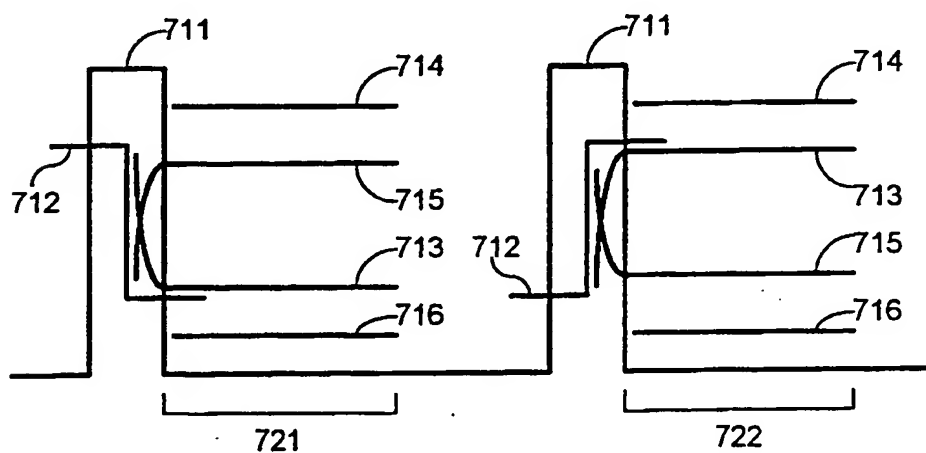


図 9

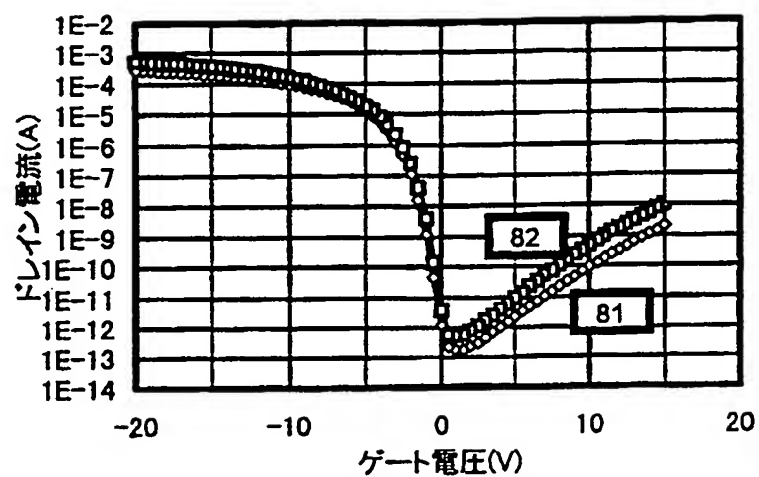
pチャネル型薄膜トランジスタの  
電流電圧特性

図 10

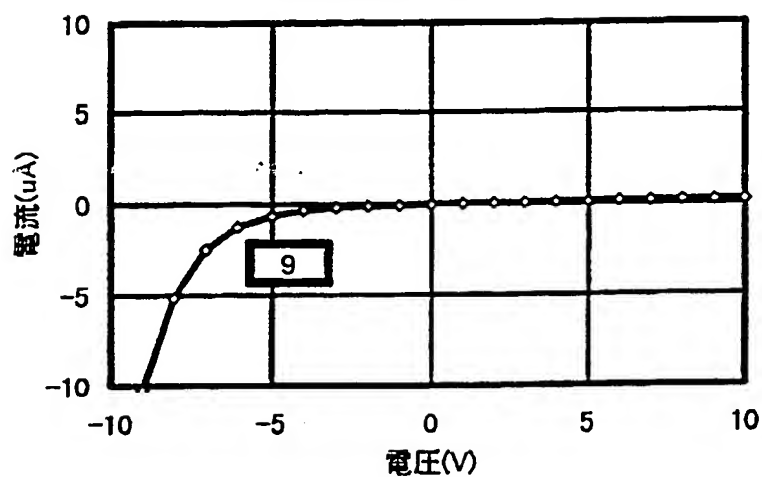
逆置有機EL素子の  
電流電圧特性



図 1 2

Nチャネル型薄膜トランジスタの経時劣化

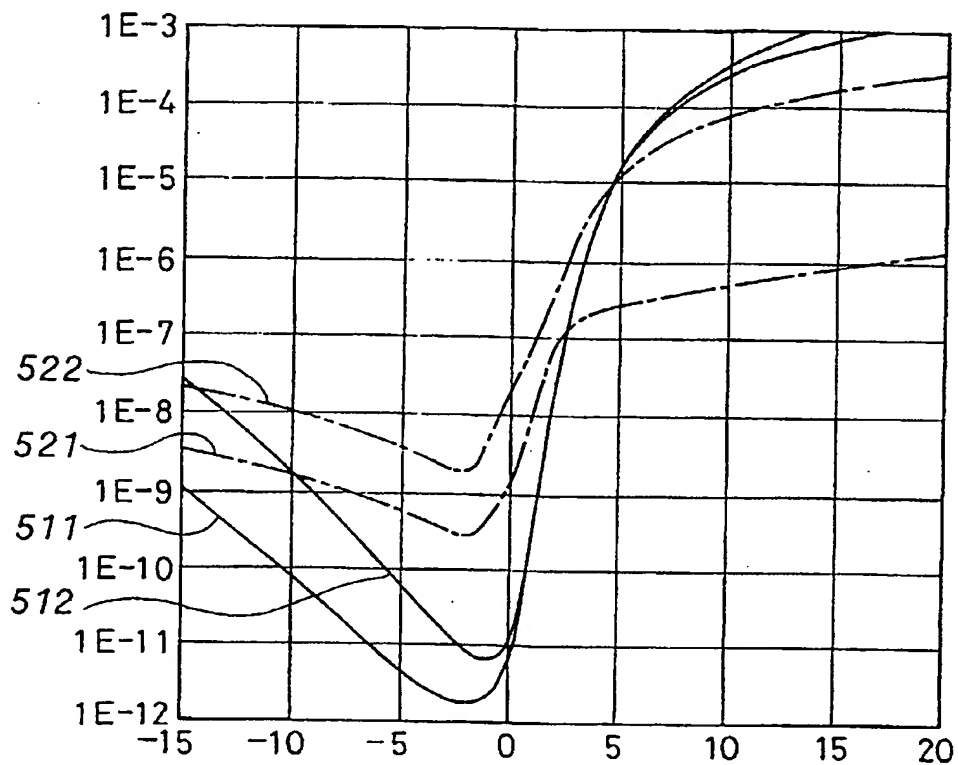


図 1 3

P チャンネル型薄膜トランジスタの経時劣化

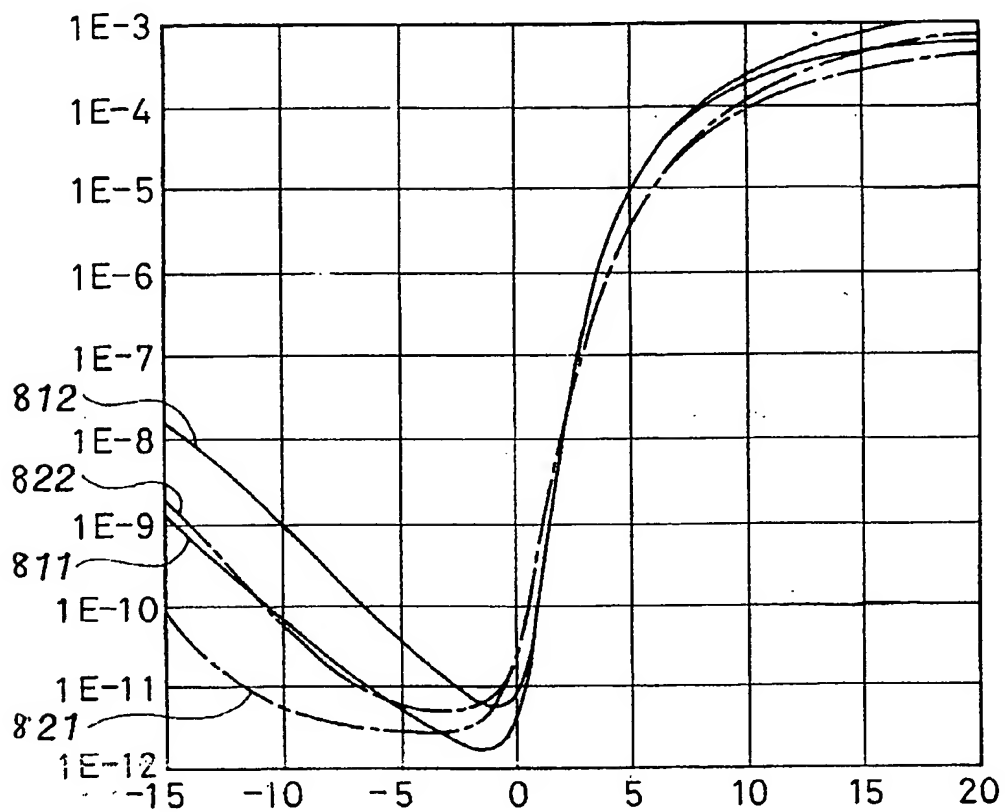
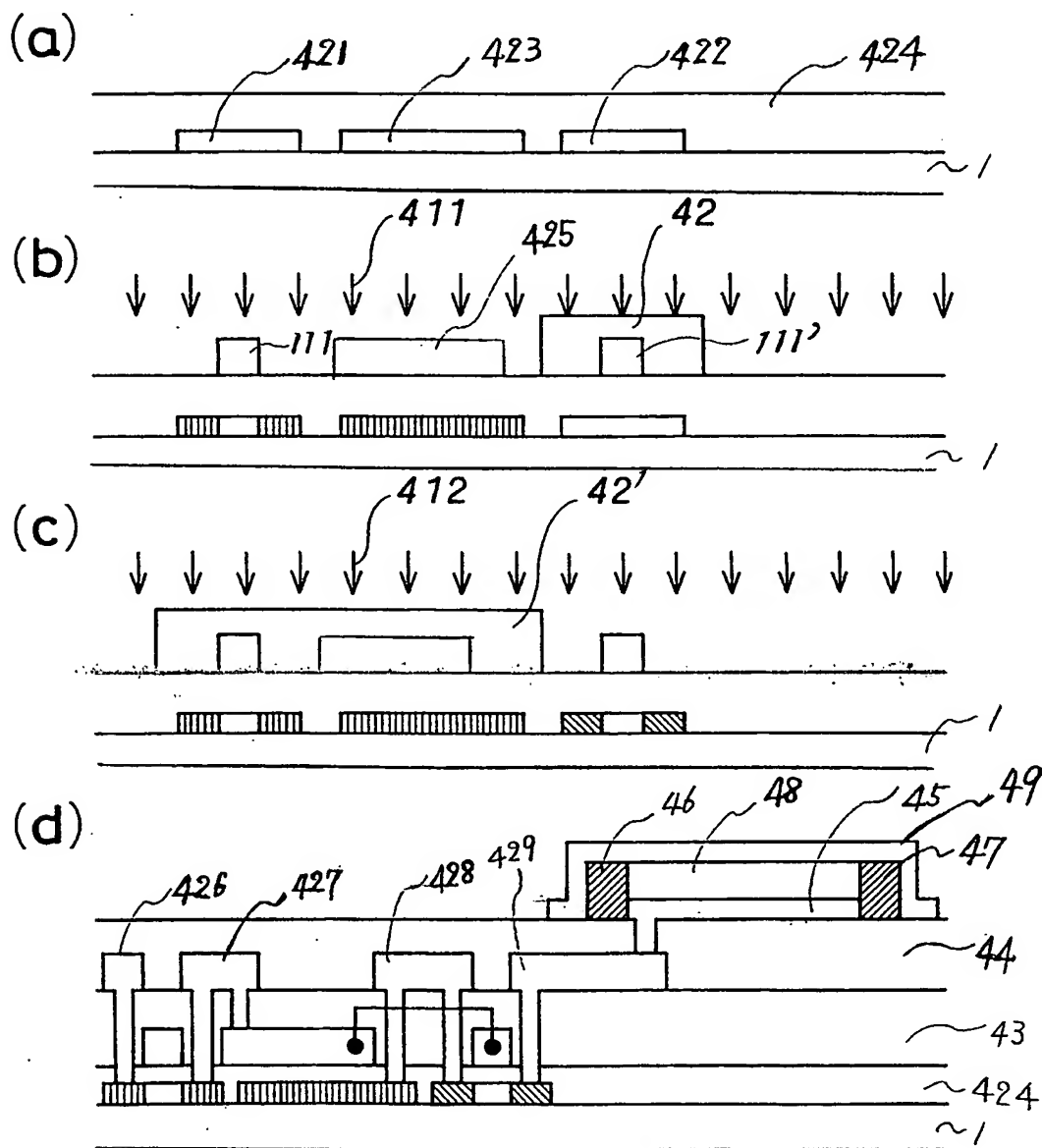


図 1 4



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/00655

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>6</sup> G09G3/30, H05B33/08, H05B33/26, H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>6</sup> G09G3/20-38, H05B33/00-28, H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998

Kokai Jitsuyo Shinan Koho 1971-1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 8-129358, A (TDK Corp. and others), May 21, 1996 (21. 05. 96)	1, 2
X	JP, 8-54836, A (NEC Corp.), February 27, 1996 (27. 02. 96)	1
Y	JP, 8-129358, A (TDK Corp. and others), May 21, 1996 (21. 05. 96)	3-5
Y	JP, 5-249916, A (NEC Corp.), September 28, 1993 (28. 09. 93)	5



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

May 12, 1998 (12. 05. 98)

Date of mailing of the international search report

May 26, 1998 (26. 05. 98)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.<sup>8</sup> G09G3/30 H05B33/08 H05B33/26 H01L33/00

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>8</sup> G09G3/20-38 H05B33/00-28 H01L33/00

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996

日本国公開実用新案公報 1971-1995

日本国登録実用新案公報 1994-1998

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 8-129358, A (ティーディーケイ株式会社, 他), 21. 5月. 1996 (21. 05. 96)	1, 2
X	JP, 8-54836, A (日本電気株式会社), 27. 2月. 1 996 (27. 02. 96)	1
Y	JP, 8-129358, A (ティーディーケイ株式会社, 他), 21. 5月. 1996 (21. 05. 96)	3-5
Y	JP, 5-249916, A (日本電気), 28. 09月. 199 3 (28. 09. 93)	5

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技术水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

12. 05. 98

国際調査報告の発送日

26.05.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

奥村元宏

印

5H

8022

電話番号 03-3581-1101 内線 3530